



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0051681
Application Number

출원년월일 : 2003년 07월 25일
Date of Application JUL 25, 2003

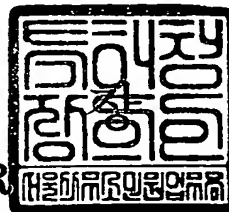
출원인 : 삼성에스디아이 주식회사
Applicant(s) SAMSUNG SDI CO., LTD.



2003 년 09 월 19 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.07.25
【발명의 명칭】	다결정 실리콘 박막 트랜지스터를 포함하는 평판 표시 소자
【발명의 영문명칭】	FLAT PANEL DISPLAY DEVICE COMPRISING POLYSILICONE THIN FILM TRANSISTOR
【출원인】	
【명칭】	삼성에스디아이 주식회사
【출원인코드】	1-1998-001805-8
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-055227-0
【발명자】	
【성명의 국문표기】	박지용
【성명의 영문표기】	PARK,JI YONG
【주민등록번호】	700331-1823311
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 993-5, 204호
【국적】	KR
【발명자】	
【성명의 국문표기】	이을호
【성명의 영문표기】	LEE,UL HO
【주민등록번호】	720614-1575710
【우편번호】	449-906
【주소】	경기도 용인시 기흥읍 서천리 157-1
【국적】	KR
【발명자】	
【성명의 국문표기】	구재본
【성명의 영문표기】	KOO, JAE BON
【주민등록번호】	720706-1767718



1020030051681

출력 일자: 2003/9/24

【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 풍림아파트 105동 504호
【국적】	KR
【발명자】	
【성명의 국문표기】	박혜향
【성명의 영문표기】	PARK,HYE HYANG
【주민등록번호】	771015-2657220
【우편번호】	441-390
【주소】	경기도 수원시 권선구 권선동 1285-7, 101
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	7 면 7,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	11 항 461,000 원
【합계】	497,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 다결정 실리콘 박막 트랜지스터를 포함하는 평판 표시 소자에 관한 것으로, 게이트 라인과 데이터 라인으로 구분되고 상기 게이트 라인과 데이터 라인에 의해 인가되는 신호에 의해 구동하는 박막트랜지스터를 구비하는 화소부 및 상기 게이트 라인과 데이터 라인에 각각 연결되어 상기 화소부에 신호를 인가하는 박막트랜지스터를 구비하는 구동 회로부를 포함하고 있으며,

상기 구동 회로부에 구비된 박막트랜지스터의 액티브 채널 영역에 형성되며 전류의 방향선과 만나는 다결정 실리콘의 결정립 경계의 평균 개수가 동일한 액티브 채널의 단위 면적에 대하여 상기 회로부에 구비된 박막 트랜지스터의 액티브 채널 영역에 형성되며 전류의 방향선과 만나는 다결정 실리콘의 결정립 경계의 평균 개수보다 적어도 1 이상 적은 것을 특징으로 하는 다결정 실리콘 박막트랜지스터를 구비하는 평판 표시소자를 제공함으로써 구동 회로부와 화소부의 전기적 특성을 모두 만족하는 평판 표시 소자를 제공할 수 있다.

【대표도】

도 4

【색인어】

다결정 실리콘, 결정립, 액티브 채널 영역

【명세서】

【발명의 명칭】

다결정 실리콘 박막 트랜지스터를 포함하는 평판 표시 소자{FLAT PANEL DISPLAY DEVICE COMPRISING POLYSILICONE THIN FILM TRANSISTOR}

【도면의 간단한 설명】

도 1a는 동일한 결정립 크기 G_s 및 액티브 채널 차원 L 에 대하여 치명적인 결정립 경계의 수가 2인 TFT의 개략적인 단면을 도시한 도면이고, 도 1b는 치명적인 결정립 경계의 수가 3인 TFT의 개략적인 단면을 도시한 도면이다.

도 2a 및 도 2b는 종래 기술에 따라 SLS 결정화법에 의하여 형성된 입자 크기가 큰 실리콘 그래인을 포함한 TFT의 액티브 채널의 개략적인 단면을 도시한 도면이다.

도 3a 내지 도 3c는 또 다른 종래 기술에 따라 제조된 TFT의 액티브 채널의 개략적인 단면을 도시한 도면이다.

도 4는 본 발명의 일실시예에 따른 유기 전계 발광 소자에서 화소부 및 구동 회로부에 형성되는 박막트랜지스터의 액티브 채널 영역에 형성되는 다결정 실리콘 입자를 나타내는 평면도로, 확대도 A는 화소부의 박막트랜지스터를, 확대도 B는 구동 회로부의 박막트랜지스터를 나타내고 있다.

도 5는 본 발명의 다른 일실시예에 따른 유기 전계 발광 소자에서 화소부 및 구동 회로부에 형성되는 박막트랜지스터의 액티브 채널 영역에 형성되는 다결정 실리콘 입자를 나타내는 평면도로, 확대도 A는 화소부의 박막트랜지스터를, 확대도 B는 구동 회로부의 박막트랜지스터를 나타내고 있다.

도 6은 본 발명의 또 다른 일실시예에 따른 유기 전계 발광 소자에서 화소부 및 구동 회로부에 형성되는 박막트랜지스터의 액티브 채널 영역에 형성되는 다결정 실리콘 입자를 나타내는 평면도로, 확대도 A는 화소부의 박막트랜지스터를, 확대도 B는 구동 회로부의 박막트랜지스터를 나타내고 있다.

도 7은 본 발명의 또 다른 일실시예에 따른 유기 전계 발광 소자에서 화소부 및 구동 회로부에 형성되는 박막트랜지스터의 액티브 채널 영역에 형성되는 다결정 실리콘 입자를 나타내는 평면도로, 확대도 A는 화소부의 박막트랜지스터를, 확대도 B는 구동 회로부의 박막트랜지스터를 나타내고 있다.

도 8은 박막트랜지스터의 액티브 채널 영역 내에 포함되는 결정립 경계의 수에 따른 문턱 전압의 값의 변화를 나타내는 그래프이다.

도 9는 박막트랜지스터의 액티브 채널 영역 내에 포함되는 결정립 경계의 수에 따른 전류 이동도의 값의 변화를 나타내는 그래프이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<10> [산업상 이용분야]

<11> 본 발명은 다결정 실리콘 박막트랜지스터를 포함하는 평판 표시 소자에 관한 것으로서, 더욱 상세하게는 평판 표시 소자에 포함되는 박막 트랜지스터의 액티브 채널 영역에 형성되는 다결정 실리콘의 결정립 경계의 개수가 구동 회로부와 화소부에서 서로 다르게 되는 다결정 실리콘 박막트랜지스터를 포함하는 평판 표시 소자에 관한 것이다.

<12> [종래 기술]

<13> 다결정 실리콘을 이용한 TFT(Thin Film Transistor) 제작시, 액티브 채널(active channel) 영역 내에 포함되는 다결정 실리콘의 결정립 경계에 존재하는 원자 가표(dangling bonds) 등의 결합 결함은 전하 캐리어(electric charge carrier)에 대하여 트랩(trap)으로 작용하는 것으로 알려져 있다.

<14> 따라서, 결정립의 크기, 크기 균일성, 수와 위치, 방향 등은 문턱 전압(V_{th}), 문턱치 경사(subthreshold slope), 전하 수송 이동도(charge carrier mobility), 누설 전류(leakage current), 및 디바이스 안정성(device stability) 등과 같은 TFT 특성에 직접 또는 간접적으로 치명적인 영향을 줄 수 있음은 물론, TFT를 이용한 액티브 매트릭스 디스플레이(active matrix display) 기판 제작시 결정립의 위치에 따라서도 TFT의 균일성에도 치명적인 영향을 줄 수 있다.

<15> 이때, 디스플레이 디바이스의 전체 기판 위에 TFT의 액티브 채널 영역 내에 포함되는 치명적인 결정립 경계(이하, "프라이머리(primary)" 결정립 경계라 칭함)의 수는 결정립의 크기, 기울어짐 각도 θ , 액티브 채널의 차원(dimension)(길이(L), 폭(W))과 기판 상의 각 TFT의 위치에 따라 같거나 달라질 수 있다(도 1a 및 도 1b).

<16> 도 1a 및 도 1b에서와 같이, 결정립 크기 G_s , 액티브 채널 차원(dimension) L \times W , 기울어짐 각도 θ 에 대하여 액티브 채널 영역에 포함될 수 있는 "프라이머리" 결정립 경계의 수는, 최대 결정립 경계의 수를 N_{max} 라 할 때, 즉 TFT 기판 또는 디스플레이 디바이스 상의 위치에 따라 액티브 채널 영역 내에 포함되는 "프라이머리" 결정립 경계의 수는 N_{max} (도 1a의 경우 3개) 또는 $N_{max} - 1$ (도 1b의 경우 2개)개가 될 것이며, 모든 TFT에 대하여 N_{max} 의 "프라이머리" 결정립 경계의 수가 액티브 채널 영역 내에 포함될 때 가장 우수한 TFT 특성의 균일성이 확보

될 수 있다. 즉, 각각의 TFT가 동일한 수의 결정립 경계를 갖는 것이 많을수록 균일성이 우수한 디바이스를 얻을 수 있다.

<17> 반면, N_{max} 개의 "프라이머리" 결정립 경계의 수를 포함하는 TFT의 수와 $N_{max} - 1$ 개의 "프라이머리" 결정립 경계의 수를 포함하는 TFT의 수가 동일하다면, TFT 기판 또는 디스플레이 디바이스 상에 있는 TFT 특성 중 균일성 면에서 가장 나쁘리라 쉽게 예상할 수 있다.

<18> 이에 대하여, SLS(Sequential Lateral Solidification) 결정화 기술을 이용하여 기판 상에 다결정 또는 단결정인 입자가 거대 실리콘 그레인(large silicon grain)을 형성할 수 있으며(도 2a 및 도 2b), 이를 이용하여 TFT를 제작하였을 때, 단결정 실리콘으로 제작된 TFT의 특성과 유사한 특성을 얻을 수 있는 것으로 보고되고 있다.

<19> 그러나, 액티브 매트릭스 디스플레이를 제작하기 위해서는 드라이버(driver)와 화소 배치(pixel array)를 위한 수많은 TFT가 제작되어야 한다.

<20> 예를 들어, SVGA급 해상도를 갖는 액티브 매트릭스 디스플레이의 제작에는 대략 100만개의 화소가 만들어지며, 액정 표시 소자(Liquid Crystal Display; LCD)의 경우 각 화소에는 1개의 TFT가 필요하며, 유기 발광 물질을 이용한 디스플레이(예를 들어, 유기 전계 발광 소자)에는 적어도 2개 이상의 TFT가 필요하게 된다.

<21> 따라서, 100만개 또는 200만개 이상의 TFT 각각의 액티브 채널 영역에만 일정한 숫자의 결정립을 일정한 방향으로 성장시켜 제작하는 것은 불가능하다.

<22> 이를 구현하는 방법으로는 미국 특허 제6,322,625호에서 개시된 바와 같이, 비정질 실리콘을 PECVD, LPCVD 또는 스퍼터링법에 의하여 증착한 후 SLS 기술로 전체 기판 상의 비정질 실

리콘을 다결정 실리콘으로 변환하거나, 기판 상의 선택 영역만을 결정화하는 기술이 개시되어 있다(도 2a 및 도 2b 참조).

<23> 선택 영역 역시 수 μm \times 수 μm 의 차원을 갖는 액티브 채널 영역에 비하면 상당히 넓은 영역이다. 또한, 레이저를 사용하는 결정화 기술에서 사용하는 레이저 빔 크기(laser beam size)는 대략 수 mm \times 수십 mm로서 기판 상의 전체 영역 또는 선택 영역의 비정질 실리콘을 결정화하기 위해서는 필연적으로 레이저 빔 또는 스테이지(stage)의 스텝핑(steping) 및 쉬프팅(shifting)이 필요하며, 이 때 레이저빔이 조사되는 영역간의 미스얼라인(misalignment)이 존재하게 되고, 따라서, 수많은 TFT의 액티브 채널 영역 내에 포함되며 결정립 경계의 수는 달라지게 되며, 전체 기판 상 또는 드라이버 영역, 화소 셀 영역 내의 TFT는 예측할 수 없는 불균일성을 갖게 된다. 이러한 불균일성은 액티브 매트릭스 디스플레이 디바이스를 구현하는데 있어서 치명적인 악영향을 미칠 수 있다.

<24> 또한, 미국 특허 제6,177,391호에서는 SLS 결정화 기술을 이용하여 거대 입자 실리콘 그레인(large silicon grain)을 형성하여 드라이버와 화소 배치를 포함한 LCD 디바이스용 TFT 제작시 액티브 채널 방향이 SLS 결정화 방법에 의하여 성장된 결정립 방향에 대하여 평행한 경우 전하 캐리어(electric charge carrier) 방향에 대한 결정립 경계의 배리어(barrier) 효과가 최소가 되며(도 3a), 따라서, 단결정 실리콘에 버금가는 TFT 특성을 얻을 수 있는 반면, 액티브 채널 방향과 결정립 성장 방향이 90°인 경우 TFT 특성이 전하 캐리어(electric charge carrier)의 트랩으로 작용하는 많은 결정립 경계가 존재하게 되며, TFT 특성이 크게 저하된다(도 3b).

<25> 실제로, 액티브 매트릭스 디스플레이 제작시 구동 회로(driver circuit) 내의 TFT와 화소 셀 영역 내의 TFT는 일반적으로 90°의 각도를 갖는 경우가 있으며, 이 때, 각 TFT의 특성

을 크게 저하시키지 않으면서, TFT 간 특성의 균일성을 향상시키기 위해서는 결정 성장 방향에 대한 액티브 채널 영역의 방향을 30 °내지 60 °의 각도로 기울어지게 제작함으로써 디바이스의 균일성을 향상시킬 수 있다(도 3c).

<26> 그러나, 이 방법 역시 SLS 결정화 기술에 의해 형성되는 유한 크기의 결정립을 이용함으로써, 치명적인 결정립 경계가 액티브 채널 영역 내에 포함될 확률이 존재하며, 따라서, TFT 간 특성 차이를 야기시키는 예측할 수 없는 불균일성이 존재하게 된다는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<27> 본 발명은 위에서 설명한 바와 같은 문제점을 해결하기 위하여 안출된 것으로서, 본 발명의 목적은 레이저를 이용하여 다결정 실리콘을 형성할 때 구동 회로부의 TFT의 특성과 화소부의 TFT의 특성을 만족시킬 수 있는 다결정 실리콘을 사용한 박막 트랜지스터를 포함하는 평판 표시 소자를 제공하는 것이다.

【발명의 구성 및 작용】

<28> 본 발명은 상기한 목적을 달성하기 위하여, 본 발명은

<29> 게이트 라인과 데이터 라인으로 구분되고 상기 게이트 라인과 데이터 라인에 의해 인가되는 신호에 의해 구동하는 박막트랜지스터를 구비하는 화소부, 및

<30> 상기 게이트 라인과 데이터 라인에 각각 연결되어 상기 화소부에 신호를 인가하는 박막 트랜지스터를 구비하는 구동 회로부를 포함하고 있으며,

<31> 상기 구동 회로부에 구비된 박막트랜지스터의 액티브 채널 영역에 형성되며 전류의 방향선과 만나는 다결정 실리콘의 결정립 경계의 평균 개수가 액티브 채널의 단위 면적에 대하여 상기 회로부에 구비된 박막 트랜지스터의 액티브 채널 영역에 형성되며 전류의 방향선과 만나

는 다결정 실리콘의 결정립 경계의 평균 개수보다 적어도 1 이상 적은 것을 특징으로 하는 다결정 실리콘 박막트랜지스터를 구비하는 평판 표시소자를 제공한다.

<32> 이하, 본 발명을 첨부한 도면을 참조하여 상세히 설명한다.

<33> 액티브 매트릭스 디스플레이용 TFT 제작시 TFT 특성에 직접, 간접적으로 중대한 영향을 미치는 다결정 실리콘의 결정립이 TFT 특성 향상을 위하여 크고 규칙화되는 경우, 결정립의 유한한 크기로 인하여, 인접한 결정립 사이에는 결정립 경계가 발생한다.

<34> 본 발명에서 "결정립 크기"라 함은 확인될 수 있는 결정립 경계 사이의 거리를 말하며, 통상 오차 범위에 속하는 결정립 경계의 거리라고 정의한다.

<35> 특히, 결정립 경계가 액티브 채널(active channel) 영역 내에 존재할 때 TFT 특성에 치명적인 영향을 주는 결정립 경계는 다결정 실리콘 박막의 형성시 공정 정밀성의 한계로 인하여 피할 수 없는 결함이 된다.

<36> 또한, 구동 회로 기판 또는 디스플레이 기판 상에 제작되는 TFT 액티브 채널 영역 내에 포함되는 결정립 경계의 수는 결정립의 크기, 방향, 액티브 채널의 차원 등에 따라 달라질 수 있고, 따라서, 제작되는 TFT 및 디스플레이의 특성이 불균일하게 되거나, 심지어 구동이 되지 않게 된다.

<37> 따라서, 본 발명에서는 구동 회로 기판 또는 디스플레이 기판의 TFT에서 액티브 채널 영역에 존재하는 결정립 경계의 개수를 달리함으로써 전기적 특성이 조절된 TFT를 포함하는 평판 표시 소자를 제공한다.

<38> 도 4는 본 발명의 일실시예에 따른 유기 전계 발광 소자에서 화소부 및 구동 회로부에 형성되는 박막트랜지스터의 액티브 채널 영역에 형성되는 다결정 실리콘 입자를 나타내는 평면

도로, 확대도 A는 화소부의 박막트랜지스터를, 확대도 B는 구동 회로부의 박막트랜지스터를 나타내고 있다.

<39> 도 4를 참조하면, 본 발명의 일실시예의 유기 전계 발광 소자는 게이트 라인과 데이터 라인으로 구분되고 상기 게이트 라인과 데이터 라인에 의해 인가되는 신호에 의해 구동하는 박막트랜지스터를 구비하는 화소부(20)와 상기 게이트 라인과 데이터 라인에 각각 연결되어 상기 화소부(20)에 신호를 인가하는 1 이상의 박막트랜지스터를 구비하는 구동 회로부(10)를 포함하고 있다.

<40> 상기 구동 회로부(10)에 구비된 박막트랜지스터의 액티브 채널 영역에 형성되며 전류의 방향선과 만나는 다결정 실리콘의 결정립 경계의 평균 개수가 액티브 채널의 단위 면적에 대하여 상기 회로부(20)에 구비된 박막 트랜지스터의 액티브 채널 영역에 형성되며 전류의 방향선과 만나는 다결정 실리콘의 결정립 경계의 평균 개수보다 적어도 1 이상 적다.

<41> 이때, 다결정 실리콘의 결정립 모양은 이방성이며, 연속 측면 결정화법(Sequential Lateral Solidification; SLS)으로 형성되는 것이 바람직하다. 또한, SLS 결정화법에 의하여 형성되는 다결정 실리콘의 결정립 경계로는 결정립 성장 방향과 통상적으로 수직으로 형성되는 '프라이머리' 결정립 경계와 '프라이머리' 결정립 경계와는 통상적으로 수직인 '세컨더리' 결정립 경계가 존재하게 되나, 박막트랜지스터의 전기적 특성에 영향을 주는 결정립 경계는 주로 '프라이머리' 결정립 경계이고, 부수적으로 '세컨더리' 결정립 경계이므로, 이하, 특히 결정립 경계의 종류를 구분하지 않는 경우에는 '프라이머리' 결정립 경계를 나타낸다.

<42> 한편, 확대도 A 및 B를 참조하면, 구동 회로부(10) 및 화소부(20)에 구비된 박막트랜지스터의 액티브 채널 영역에 형성된 상기 다결정 실리콘의 프라이머리 결정립 경계는 전류의 방향선과 -45° 이상 45° 이하가 되도록 배치되며, 바람직하게는 0° 가 되도록 배치한다.

- <43> 또한, 상기 화소부(20)에 구비된 박막트랜지스터의 액티브 채널 길이(d_1)가 상기 구동 회로부(10)에 구비된 박막트랜지스터의 액티브 채널 길이(d_2)보다 길게 형성함으로써, 세컨더리 결정립 경계가 화소부(20)에 더 많이 포함되도록 함으로써 전류의 방향선과 만나는 결정립 경계의 수의 변화에 따른 전류의 변화가 적도록 함으로써 화소부(20)에서는 구동 회로부(10)보다 균일성이 더욱 우수하게 된다.
- <44> 도 5는 본 발명의 다른 일실시예에 따른 유기 전계 발광 소자에서 화소부(20) 및 구동 회로부(10)에 형성되는 박막트랜지스터의 액티브 채널 영역에 형성되는 다결정 실리콘 입자를 나타내는 평면도로, 확대도 A는 화소부의 박막트랜지스터를, 확대도 B는 구동 회로부의 박막트랜지스터를 나타내고 있다.
- <45> 도 5를 참조하면, 이 실시예에서는 구동 회로부(10)의 박막트랜지스터의 액티브 채널 영역에 형성되어 있는 다결정 실리콘의 프라이머리 결정립 경계가 전류의 방향선과 만나는 갯수가 화소부(20)의 박막트랜지스터의 액티브 채널 영역에 형성되어 있는 다결정 실리콘의 프라이머리 결정립 경계가 전류의 방향선과 만나는 개수보다 1 이상 작도록 하기 위하여, 확대도 A에 서와 같이, 화소부(20)에서는 프라이머리 결정립 경계와 전류의 방향선이 -45° 이상 45° 이하가 되도록 배치하며, 바람직하기로는 수평하도록 배치한다. 한편, 구동 회로부(10)에서는 프라이머리 결정립 경계와 전류의 방향선이 45° 이상 135° 이하의 각이 되도록 배치하고, 바람직하기로는 수직이 되도록 배치한다.
- <46> 이때, 구동 회로부(10) 및 화소부(20)의 박막트랜지스터의 액티브 채널 영역의 길이는 d 로 동일하다.
- <47> 도 6은 본 발명의 또 다른 일실시예에 따른 유기 전계 발광 소자에서 화소부(20) 및 구동 회로부(10)에 형성되는 박막트랜지스터의 액티브 채널 영역에 형성되는 다결정 실리콘 입자

를 나타내는 평면도로, 확대도 A는 화소부의 박막트랜지스터를, 확대도 B는 구동 회로부의 박막트랜지스터를 나타내고 있다.

<48> 도 6을 참조하면, 상기 구동 회로부(10)에 구비된 박막트랜지스터의 액티브 채널 영역에 형성된 상기 다결정 실리콘의 결정립 경계는 전류의 방향선과 -45° 이상 45° 이하가 되도록 배치되며, 바람직하기로는 평행하게 배치된다.

<49> 또한, 상기 화소부(20)에 구비된 박막트랜지스터의 액티브 채널 영역에 형성된 상기 다결정 실리콘의 결정립 경계는 전류의 방향선과 -45° 이상 45° 이하가 되도록 배치되며, 바람직하기로는 평행하게 배치하며, 상기 화소부(20)에 구비된 박막 트랜지스터의 액티브 채널 길이가 상기 구동 회로부(10)에 구비된 박막트랜지스터의 액티브 채널 길이와 d로 동일하게 형성된다.

<50> 그러나, 이 경우 화소부(20)의 박막트랜지스터의 액티브 채널 영역에 포함되는 전류의 방향선과 만나는 프라이머리 결정립 경계의 개수가 구동 회로부(10)의 박막트랜지스터의 액티브 채널 영역에 포함되는 전류의 방향선과 만나는 프라이머리 결정립 경계의 개수보다 많아야 화소부에서의 균일성이 확보되므로 프라이머리 결정립 경계 사이의 거리를 화소부에서의 거리(w_1)가 구동 회로부에서의 거리(w_2)보다 크게 형성한다.

<51> 도 7은 본 발명의 또 다른 일실시예에 따른 유기 전계 발광 소자에서 화소부 및 구동 회로부에 형성되는 박막트랜지스터의 액티브 채널 영역에 형성되는 다결정 실리콘 입자를 나타내는 평면도로, 확대도 A는 화소부의 박막트랜지스터를, 확대도 B는 구동 회로부의 박막트랜지스터를 나타내고 있다.

- <52> 도 7을 참조하면, 도 7의 구동 회로부(10) 및 화소부(20)의 박막트랜지스터의 액티브 채널 영역에 형성되는 다결정 실리콘의 결정립 모양은 등방성이다. 이때, 확대도 A에 도시된 바와 같이 화소부에 형성되는 다결정 실리콘의 입자의 크기가 확대도 B에 도시된 구동 회로부에 형성되는 다결정 실리콘의 입자의 크기보다 크게 형성하면 결정립과 결정립의 만나는 경계 즉, 결정립 경계가 화소부에서의 박막트랜지스터에 더욱 많이 포함되게 된다. 따라서, 전류의 방향선과 만나는 결정립 경계 역시 화소부의 박막트랜지스터에 더욱 많이 포함되게 된다. 바람직하기로 그 결정립 경계의 수가 적어도 1 이상 화소부가 구동 회로부보다 커야 한다. 이때, 구동 회로부 및 화소부의 박막트랜지스터의 액티브 채널 영역의 길이는 d 로 동일하다.
- <53> 이 실시예에서의 등방성 형태의 다결정 실리콘은 엑시머 레이저 어닐링법(Eximer Laser Annealing)으로 형성되는 것이 바람직하다.
- <54> 도 8은 박막트랜지스터의 액티브 채널 영역 내에 포함되는 결정립 경계의 수에 따른 문턱 전압의 값의 변화를 나타내는 그래프이고, 도 9는 박막트랜지스터의 액티브 채널 영역 내에 포함되는 결정립 경계의 수에 따른 전류 이동도의 값의 변화를 나타내는 그래프이다.
- <55> 도 8 및 도 9를 참조하면, 전류의 방향선과 만나는 결정립 경계의 수가 증가함에 따라 문턱 전압은 커지고, 전류 이동도는 작아지는 것을 알 수 있다.
- <56> 즉, 결정립 경계가 박막트랜지스터의 전기적 특성에 영향을 주는 것을 알 수 있고, 특히, 주로 프라이머리 결정립 경계가 영향을 주며, 부수적으로 세컨더리 결정립 경계가 영향을 주게 된다.
- <57> 이렇게 제작된 다결정 실리콘을 1 이상의 게이트를 구비하는 TFT에 적용하는 경우, 동일한 액티브 채널 영역의 면적에 포함되는 결정립의 평균 개수는 화소부가 구동 회로부보다 최소

한 1 이상 더 많은 것을 알 수 있고, 따라서, 포함되는 결정립 경계 역시 화소부가 많은 것을 알 수 있다.

<58> 또한, 하나의 TFT에 포함되는 게이트의 액티브 채널 영역에서 상기 화소부의 액티브 채널 영역에 형성되는 다결정 실리콘 입자의 크기가 상기 구동 회로부의 액티브 채널 영역에 형성되는 다결정 실리콘 입자의 크기보다 균일하게 된다. 입자의 크기가 작은 경우 입자 하나를 둘러싸는 결정립계의 면적은 감소하고, 액티브 채널 내에 포함되는 결정립계의 수(면적)는 증가하게 되므로, 액티브 채널 내에 존재하는 입자수의 차이에 의한 결정립계 수(면적)의 차이는 감소하게 된다.

<59> 또한, 각 게이트의 액티브 채널 영역에 포함되는 다결정 실리콘 입자의 평균 입자 크기 역시 상기 구동 회로부가 화소부보다 큰 것을 알 수 있다.

<60> 따라서, 전류 이동도 등과 같은 전류 특성은 구동 회로부가 화소부보다 우수할 것으로 예측되나, 입자 크기가 화소부가 구동 회로부보다 균일하므로 전류의 균일성은 화소부가 우수하게 된다.

<61> 본 발명에서는 TFT의 게이트 수는 이러한 목적을 달성할 수 있다면 2 이상의 게이트를 가질 수 있다.

<62> 한편, 이와 같이 형성된 다결정 실리콘 박막을 포함하는 평판 표시 소자로는 유기 전계 발광 소자 또는 액정 표시 소자가 바람직하다.

【발명의 효과】

<63> 위에서 설명한 바와 같이, 본 발명의 다결정 실리콘 박막 트랜지스터를 포함하는 평판 표시 소자는 비정질 실리콘의 결정화시 구동 회로부와 화소부에 조사되는 레이저 에너지를 달

리함으로써 단위 면적의 액티브 채널 영역에 포함되는 다결정 실리콘의 결정립의 크기가 달라
짐으로써 평판 표시 소자에 요구되는 전기적 특성을 만족할 수 있다.

【특허청구범위】**【청구항 1】**

게이트 라인과 데이터 라인으로 구분되고 상기 게이트 라인과 데이터 라인에 의해 인가되는 신호에 의해 구동하는 박막트랜지스터를 구비하는 화소부; 및

상기 게이트 라인과 데이터 라인에 각각 연결되어 상기 화소부에 신호를 인가하는 1 이상의 박막트랜지스터를 구비하는 구동 회로부를 포함하고 있으며,

상기 구동 회로부에 구비된 박막트랜지스터의 액티브 채널 영역에 형성되며 전류의 방향선과 만나는 다결정 실리콘의 결정립 경계의 평균 개수가 액티브 채널의 단위 면적에 대하여 상기 회로부에 구비된 박막 트랜지스터의 액티브 채널 영역에 형성되며 전류의 방향선과 만나는 다결정 실리콘의 결정립 경계의 평균 개수보다 적어도 1 이상 적은 것을 특징으로 하는 다결정 실리콘 박막트랜지스터를 구비하는 평판 표시 소자.

【청구항 2】

제 1항에 있어서,

상기 다결정 실리콘의 결정립 모양은 이방성인 다결정 실리콘 박막트랜지스터이며, 상기 결정립 경계는 프라이머리 결정립 경계인 평판 표시 소자.

【청구항 3】

제 2항에 있어서,

상기 구동 회로부에 구비된 박막트랜지스터의 액티브 채널 영역에 형성된 상기 다결정 실리콘의 결정립 경계는 전류의 방향선과 -45° 이상 45° 이하가 되도록 배치되며, 상기 화소부에 구비된 박막트랜지스터의 액티브 채널 영역에 형성된 상기 다결정 실리콘의 결정립 경계는 전

류의 방향선과 -45° 이상 45° 이하가 되도록 배치되며, 상기 화소부에 구비된 박막 트랜지스터의 액티브 채널 길이가 상기 구동 회로부에 구비된 박막트랜지스터의 액티브 채널 길이보다 긴 것인 다결정 실리콘 박막트랜지스터를 구비하는 평판 표시 소자.

【청구항 4】

제 2항에 있어서,

상기 구동 회로부에 구비된 박막트랜지스터의 액티브 채널 영역에 형성된 상기 다결정 실리콘의 결정립 경계는 전류의 방향선과 45° 이상 135° 이하가 되도록 배치되며, 상기 화소부에 구비된 박막트랜지스터의 액티브 채널 영역에 형성된 상기 다결정 실리콘의 결정립 경계는 전류의 방향선과 -45° 이상 45° 이하의 각을 이루도록 배치된 것인 다결정 실리콘 박막트랜지스터를 구비하는 평판 표시 소자.

【청구항 5】

제 2항에 있어서,

상기 구동 회로부에 구비된 박막트랜지스터의 액티브 채널 영역에 형성된 상기 다결정 실리콘의 결정립 경계는 전류의 방향선과 -45° 이상 45° 이하가 되도록 배치되며, 상기 화소부에 구비된 박막트랜지스터의 액티브 채널 영역에 형성된 상기 다결정 실리콘의 결정립 경계는 전류의 방향선과 -45° 이상 45° 이하가 되도록 배치되며, 상기 화소부에 구비된 박막 트랜지스터의 액티브 채널 길이가 상기 구동 회로부에 구비된 박막트랜지스터의 액티브 채널 길이와 동일한 것인 다결정 실리콘 박막트랜지스터를 구비하는 평판 표시 소자.

【청구항 6】

제 2항에 있어서,

상기 다결정 실리콘은 연속 측면 결정화법(Sequential Lateral Solidification; SLS)법에 의하여 제조되는 것인 다결정 실리콘 박막트랜지스터를 구비하는 평판 표시 소자.

【청구항 7】

제 1항에 있어서,

상기 다결정 실리콘의 결정립 모양은 등방성인 다결정 실리콘 박막트랜지스터를 구비하는 평판 표시 소자.

【청구항 8】

제 7항에 있어서,

상기 화소부에 구비된 박막트랜지스터의 액티브 채널 길이가 상기 구동 회로부에 구비된 박막트랜지스터의 액티브 채널 길이와 동일한 것인 다결정 실리콘 박막트랜지스터를 구비하는 평판 표시 소자.

【청구항 9】

제 7항에 있어서,

상기 다결정 실리콘은 엑시머 레이저 어닐링법(Eximer Laser Annealing)에 의하여 형성되는 것인 다결정 실리콘 박막트랜지스터를 구비하는 평판 표시 소자.

【청구항 10】

제 1항에 있어서,

각 게이트의 액티브 채널 영역에 포함되는 다결정 실리콘 입자의 평균 입자 크기가 상기 구동회로부가 상기 화소부보다 큰 것인 다결정 실리콘 박막 트랜지스터를 포함하는 평판 표시 소자.

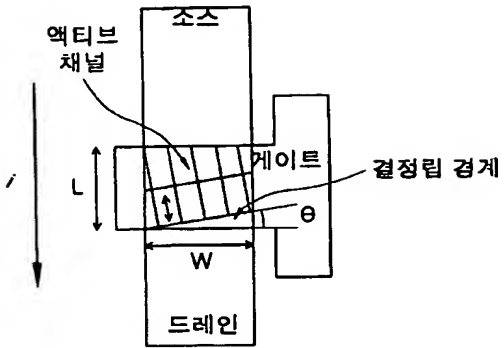
【청구항 11】

제 1항에 있어서,

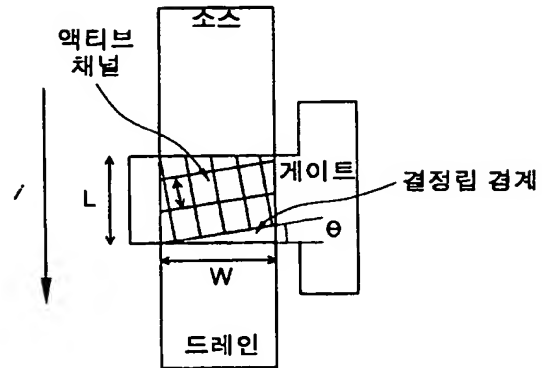
상기 평판 표시 소자는 유기 전계 발광 소자 또는 액정 표시 소자인 다결정 실리콘 박막 트랜지스터를 포함하는 평판 표시 소자.

【도면】

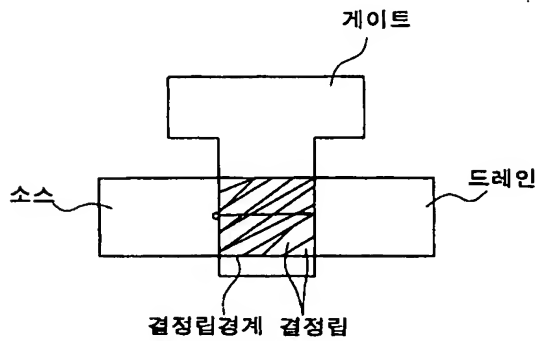
【도 1a】



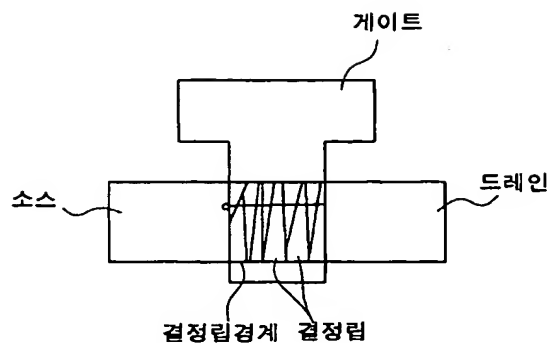
【도 1b】



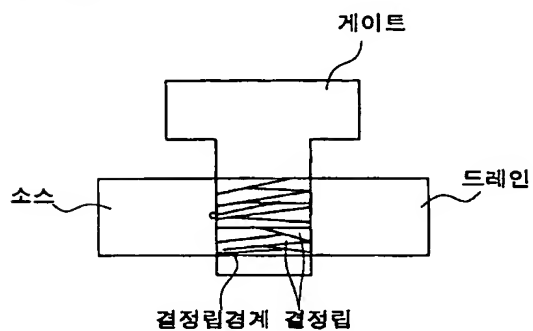
【도 2a】



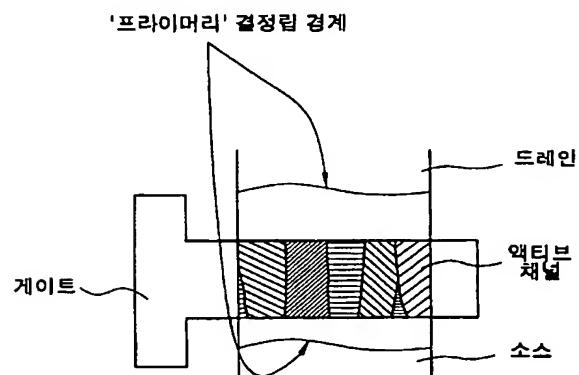
【도 2b】



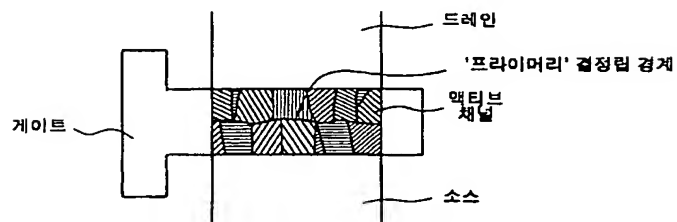
【도 3a】



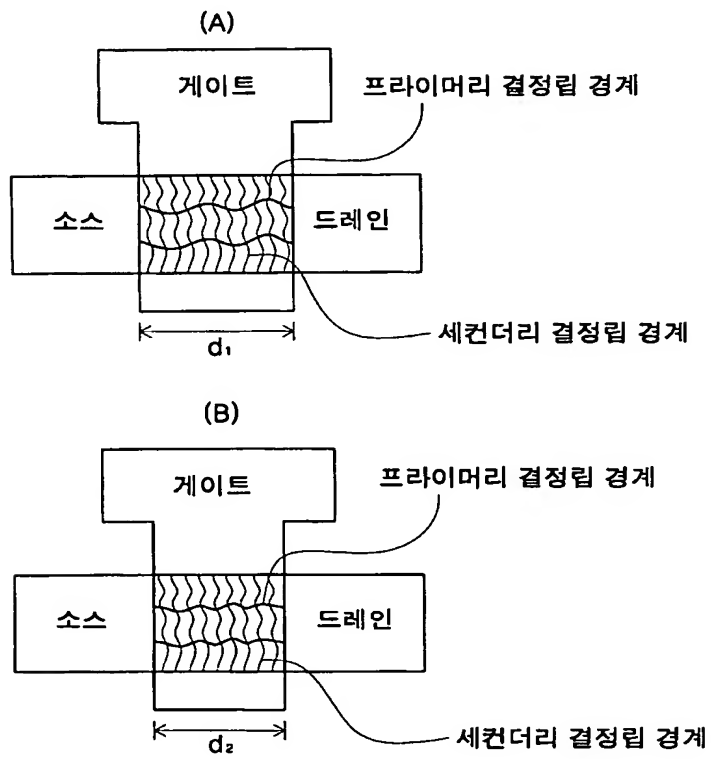
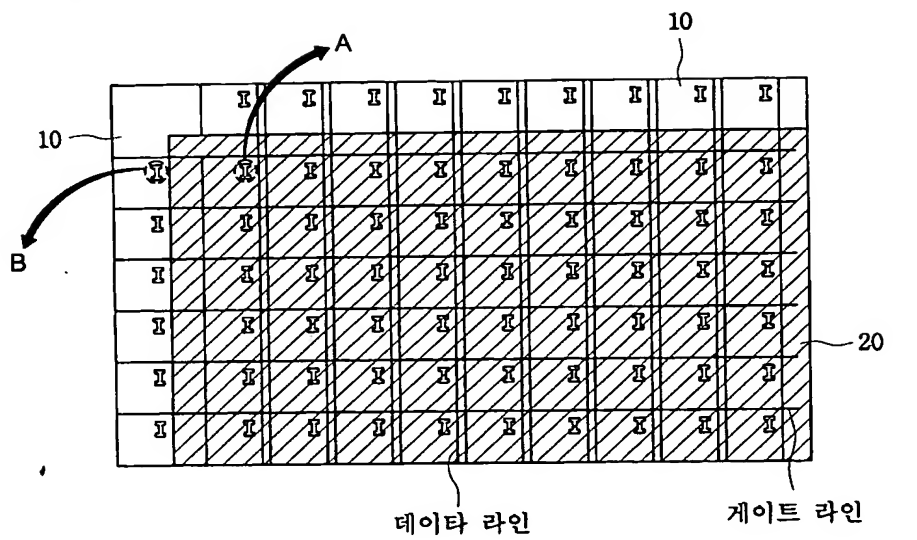
【도 3b】



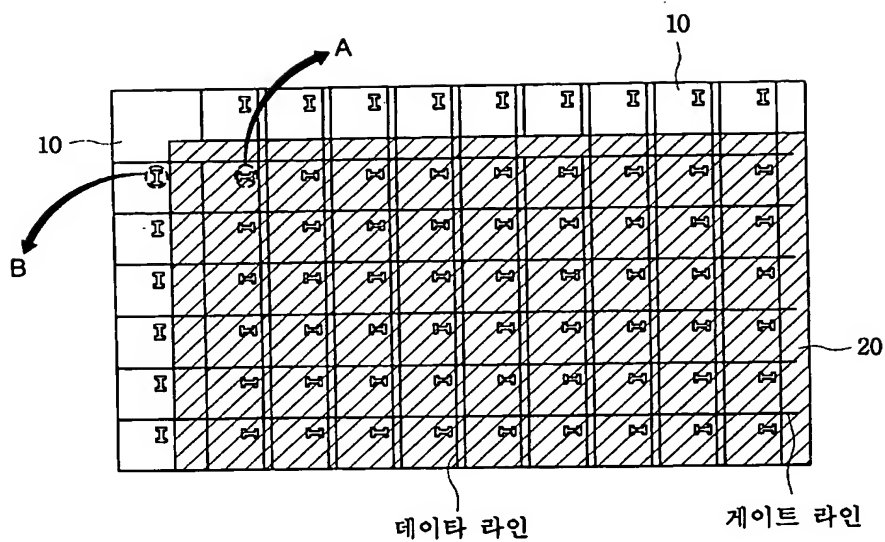
【도 3c】



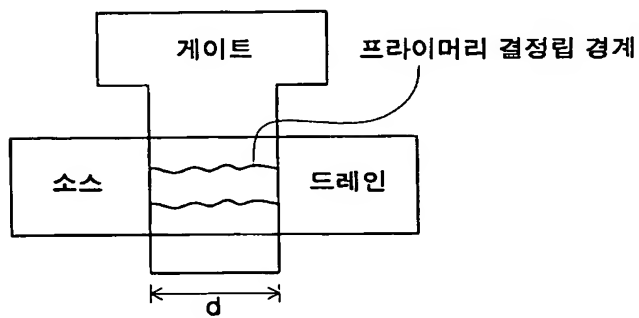
【도 4】



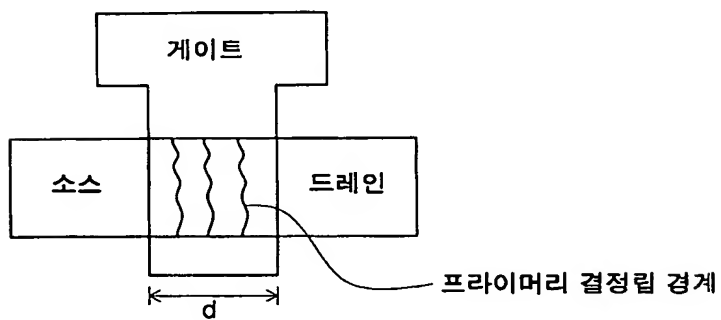
【도 5】



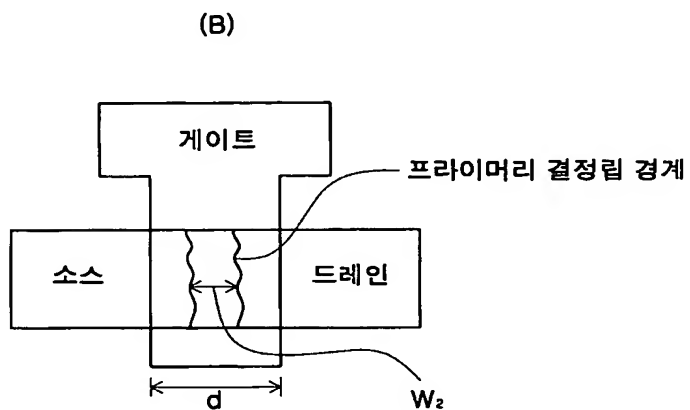
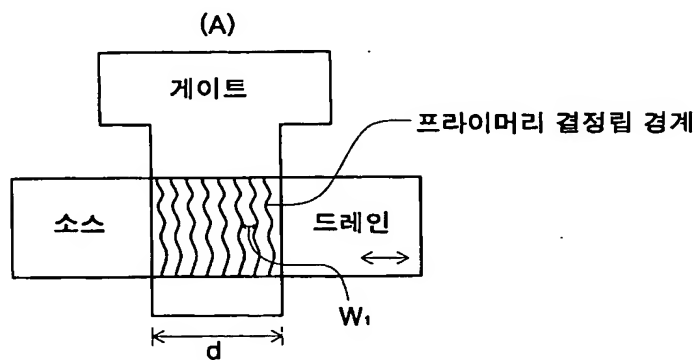
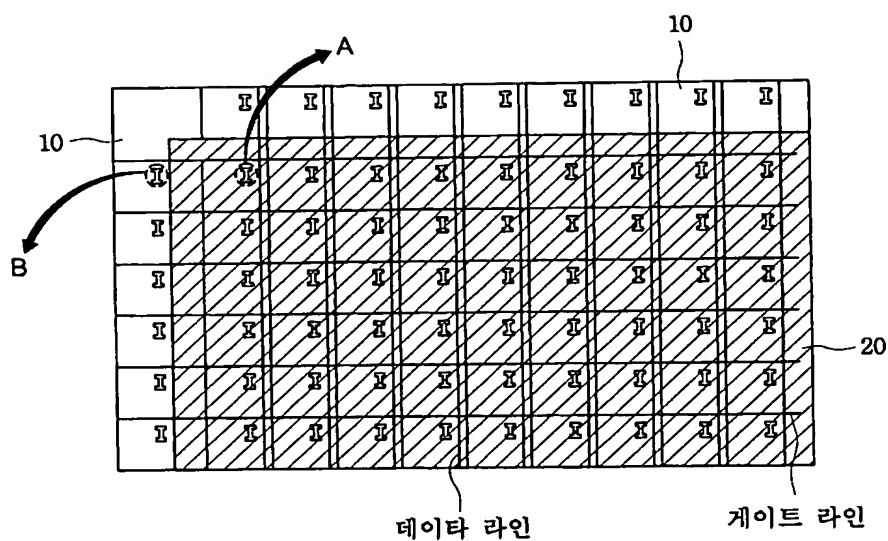
(A)



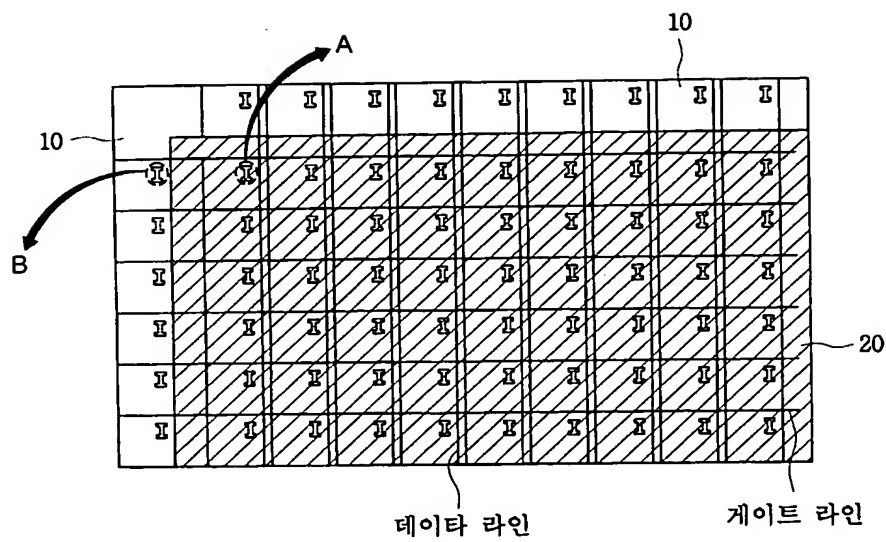
(B)



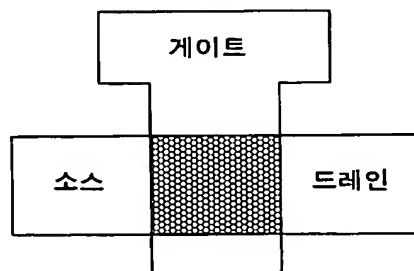
【도 6】



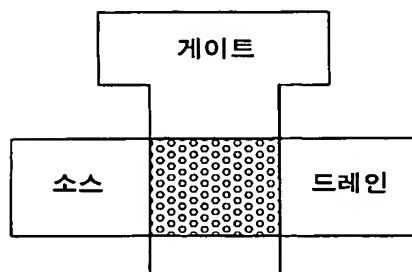
【도 7】



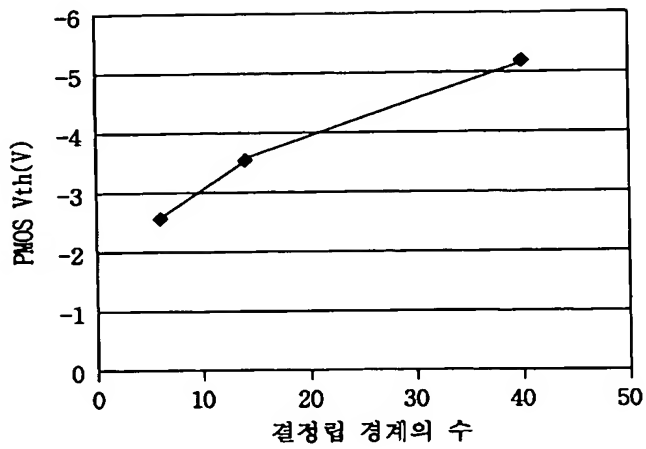
(A)



(B)



【도 8】



【도 9】

